

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-128473

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月31日

G 01 R 31/28
G 06 F 11/22

3 3 0 B

7343-5B
6912-2C

G 01 R 31/28

M

審査請求 未請求 請求項の数 2 (全12頁)

⑮ 発明の名称 再構成可能論理検査装置

⑯ 特 願 平2-163043

⑰ 出 願 平2(1990)6月22日

優先権主張 ⑱ 1989年6月22日 ⑲ 米国(U S) ⑳ 372506

⑳ 発 明 者 マーク アール・マイ アメリカ合衆国 テキサス州 ガーランド, ラレイ 6010
デイル㉑ 発 明 者 サム アール・バイル アメリカ合衆国 テキサス州 ダラス, ハックニー レー
ン 9054㉒ 出 願 人 テキサス インストル アメリカ合衆国 テキサス州 ダラス, ノース セントラル
メンツ. インコーポレ
イテッド㉓ 代 理 人 弁理士 浅 村 皓 外3名
最終頁に続く

明 細 書

1. 発明の名称

再構成可能論理検査装置

2. 特許請求の範囲

(1) プログラム制御装置と、

第1スイッチング・マトリックスと、

前記第1スイッチング・マトリックスによって
前記プログラム制御装置に接続されたピン群電子
回路と、前記ピン群電子回路に接続されたピン電子回路
と、

第2スイッチング・マトリックスと、

前記第2スイッチング・マトリックスによって
前記ピン電子回路に接続することが可能な少なく
とも1つの検査ヘッドと、
を有する検査モジュールを少なくとも2個有する、
集積回路を検査するための再構成可能論理検査装
置。(2) 制御装置と、128ピンを検査するための電
子装置リソースとを有する複数の複数の

検査モジュールを有し、かつ、

要求された数のピンを検査するための検査リ
ソースを有するために2個またはさらに多数個の検
査モジュールを組み合わせる段階と、

前記検査モジュールを同期する段階と、

前記検査モジュールのうちの1つのモジュール
のうちの1つの制御装置で前記組み合わされたモ
ジュールをプログラムする段階と、を有する、128ピンから少なくとも1024ピ
ンまでのピン数を有する集積回路を検査するため
に論理検査装置を再構成する方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体論理検査装置に関するものである。
さらに具体的に云えば、本発明は再構成可能
なアーキテクチャを有する検査装置に関するもの
である。

〔従来の技術および問題点〕

集積回路の機能と仕様を確認するための検査は、
自動検査装置を用いて行なわれる。集積回路の機

能は進歩しているので、検査装置の能力も進歩することが必要であり、したがって、検査装置のコストは高くなる。検査装置のコストを妥当な範囲に保ったまま、その検査装置の利用度を高めることがますます重要になってきている。

論理集積回路を検査する場合、検査装置が検査しうるピンの数は検査装置のコストに直接に影響を与える。論理検査装置を購入するときの検査装置のピン数は、の最大のピン数を有する集積回路によって定められる。

論理集積回路の販売のさいには、大多數の装置はピン数で分類されて市販されるのが普通である。検査される集積回路のうちの最大のピン数を有するものによって購入される検査装置の仕様が定められるが、この検査装置により指定された最大ピン数を有する集積回路を検査する機会是比较的少ないであろう。平均的には、検査装置のうちの大部分のリソースは、かなりの期間の間使われないままである。このことは、高価な検査装置を効率的に利用していないことになる。

ばならない時、2つの完全に独立な検査プログラムは不可能である。

〔発明の要約〕

本発明は、VLSI論理集積回路のための検査装置に関するものである。本発明の検査装置は、例えば、8個の128ピン群またはスライスにまで対応するように構成されているが、128、256、512、および1024のピン構成の分割も可能なように再構成することができる。

本発明の検査装置リソースは、異なるピン数を有する複數個の形式の装置を同時に検査するように構成することができる。この構成は、ピン数に基づいて種々の装置に対応するように、直ちに変更することができる。

1024ピンの装置まで検査することおよび8個までの独立な検査プログラムを実行するために、制御装置が8個までの分割に対応してそなえられる。128、256、512、および1024ピン構成に対応できるような検査ヘッドがそなえられる。プログラム制御装置はスイッチ・マトリッ

ク検査装置の検査装置のアーキテクチャを変更することにより、検査装置のこのような利用法を改善することができる。もし512ピン大規模集積回路検査装置が購入されたならば、しかし、この検査装置を用いて大部分の時間は128ピン集積回路の検査を行っている場合には、この大部分の時間には検査装置の384ピンは遊んでいる。リソースのこれらの384ピンを用いて、128ピンの集積回路をさらに3個検査できるように検査装置を再構成できるならば、検査装置の利用度は非常に高まるであろう。利用度をできるだけ高めるためには、異なる形式の論理集積回路を検査できることが必要である。

従来の検査装置では、これらの検査上の問題点を解決するために、大きなピン数の検査ヘッドの中により小さな検査ヘッドを物理的に組み込むことを行っているが、しかし、これらの検査装置は依然として1個の制御装置を有しているだけである。他の普通の検査装置リソースを分割使用しない、この1個の制御装置を時分割使用しなければなら

くすを通して共通回路に接続される。この共通回路は、部分的には、リソース群の間に同期信号を供給する。共通回路とスイッチ・マトリックスとの間に、バー・ピン電子装置が接続される。このスイッチ・マトリックスはピン数の異なる種々の検査ヘッドに接続される。

8個の独立な検査プログラム制御装置は装置構成管理装置に接続される。この検査装置の中の分割可能リソースは、すべてのピン・リソースをピン群またはピン・スライスに分割することによってえられる。おのおののピン群は独立に機能する、または他のピン群と組み合わせて機能し、適切な数のピン・リソースが選定された大きさの検査ヘッドに接続される。

ピン群リソースを組み合わせた時、タイミング装置が各ピン群と共に用いられ、そして同期が行なわれる。独立な128ピン・リソースが組み合わされて、より大きなピン数の装置を検査するように再構成される時、これらの組み合わせられたピン群リソースに対し同期がとられなければならない

い。

各ピン群リソースは水晶発振器を有する。この水晶発振器は自分自身のピンに対する時間基準として用いることができると共に、他のピン群に対するピンの時間基準としても用いることができる。各ピン群リソースは、ピン群毎のデスキューが可能であるように、タイミング基準またはクロックの寄与度分布をもつファン・イン／ファン・アウト・マトリックスを有する。各ピン群（共通電子装置）はそれ自身の機能検査処理装置を有する。信号が同じクロック・サイクルに基づいておのの機能検査処理装置に確実に到達するために、各ピン群はまた一定のサイクル・クリティカル信号に関してプログラム可能サイクル遅延を有する。

2個またはさらに多数個のピン群が並行して動作する時、すべてのピン群は同期からはずれないように正確に同じ周波数で動作しなければならない。2つの周波数を確実に同じにする1つの方法は、1個の発振器を用いることである。各ピン群が同じ発振器で動作できるように、本発明では多

重化する方法が用いられる。スキューを補償するために、各ピン群はそのタイミング基準の中にプログラム可能遅延を有する。

各処理装置がおのののサイクルで同じ命令を確実に実行するために、処理開始信号は同じサイクルに基づいて群内の各処理装置に到達しなければならない。開始同期を完全に実行するために、各ピン群はそれ自身のいずれかの側のピン群からの信号を受け取り、かつ、信号を送る。遅延のサイクルのプログラム可能な数が、これらの信号が用いられる前に、それらの信号の中に挿入される。

〔実施例〕

添付図面を参照しての本発明の好ましい実施例についての下記説明により、本発明の目的と技術上の利点、および特許請求の範囲に開示された新規な特徴がよりよく理解されるであろう。

第1図は、2個の検査ヘッド構成の間で多重化できるピン電子装置と、4個の検査ヘッドとを示す。検査ヘッドは検査される装置との直接のインタフェースとなる回路であり、一方、ピン電子装

れる。

第2図は検査装置の全体がどのようにして簡化されるかを示した図面であり、共通部分が用いられていて、再構成可能な検査装置がえられる。第2図において、2個のパー・ピン(per pin)電子装置群20および23と、2個の128ピン検査ヘッド21および25と、2個の共通電子装置22および24がそなえられている。2個の共通電子装置22および24は1個の共通電子装置27として動作することができ、かつ、2個のパー・ピン電子装置群20および23は1個の大型パー・ピン電子装置群28として動作することができ、かつ、2個の検査ヘッドは1個の256ピン検査ヘッド28で置き換えることができる。実際には、2個の128ピン検査ヘッドと、パー・ピン電子装置28に接続された1個の256ピン検査ヘッドがある。このように、2個の128ピン装置または1個の256ピン装置を検査することができる。図面に示されているように、パー・ピン電子装置28は256ピンまでを検査しう

置は検査ヘッド回路のためのサポート装置であって、機能動振およびアナログ動振の発生回路および応答測定回路である。この実施例のピン電子装置は、512個のピンまでの検査をサポートすることができる。ピン電子装置がA側に切り替えられる時、3個の異なる装置が、検査ヘッド15、16および17について、検査を同時にかつ独立に行なうことができる。この場合におけるピン電子装置の512個のピンは、2個の128ピン検査ヘッドと、1個の256ピン検査ヘッドに分割される。

また別の場合として、ピン電子装置がB側に切り替えられる時、1個の装置が検査され、そして512ピン検査ヘッド13について検査が行なわれる。

本発明の検査ヘッドは検査装置全体の中的全電子装置のうちの極くわずかな部分を占めているだけであるから、ピン電子装置がA側に切り替えられた場合でも、またはB側に切り替えられた場合でも、検査装置のハードウェアの大部分が用いら

る性能を有する。この検査は1つの装置について行なうこともできるし、または異なる2個の128ピン装置について行なうこともできる。

共通電子装置は、検査される1個または複数個の装置に対し、例えば、中央タイミング装置、パターン・シーケンス制御装置、アナログ検査サポート機能装置を有する。

第3図は再構成可能検査装置の詳細図である。例えば、4個の独立な検査スライスまたは検査装置が並行して動作する。4個の装置だけが示されているけれども、128ピン構成から1024ピン構成までの異なる装置またはそれと同等な装置を同時に検査するために、任意の数の装置、例えば、8個の装置を並行して動作させることができる。バス、例えば、VMEバスに接続された4個の制御装置52、53、54、および55がある。このVMEバスは構成管理装置に接続される。制御装置52は、スイッチ・マトリックス43を通して、共通電子装置モジュール34に接続される。共通電子装置モジュール34はまた、同期回路3

8とピン電子装置30に接続される。ピン電子装置30はスイッチ・マトリックス45に接続される。スイッチ・マトリックス45は検査ヘッド47、48、49、および50に接続される。

制御装置53は、スイッチ・マトリックス43を通して、共通電子装置モジュール35に接続される。共通電子装置モジュール35はまた、同期回路39とピン電子装置31に接続される。ピン電子装置31はスイッチ・マトリックス45に接続され、そしてスイッチ・マトリックス45は検査ヘッド47、48、49、および50に接続される。

同様に、制御装置54は、スイッチ・マトリックス43を通して、共通電子装置モジュール36に接続される。共通電子装置モジュール36はまた、同期回路40とピン電子装置32に接続される。パー・ピン電子装置32はスイッチ・マトリックス45に接続され、そしてスイッチ・マトリックス45は検査ヘッド47、48、49、および50に接続される。

制御装置55は、スイッチ・マトリックス43を通して、共通電子装置モジュール37に接続される。共通電子装置モジュール37はまた、同期回路41とパー・ピン電子装置33に接続される。パー・ピン電子装置33はスイッチ・マトリックス45に接続され、そしてスイッチ・マトリックス45は検査ヘッド47、48、49、および50に接続される。

4個の同期回路38、39、40、および41は全部が共通に接続され、それにより4個の装置の間の同期が実行される。これらの同期回路は下記において詳細に説明される。

本発明の1つの動作実施例では、制御装置52は、スイッチ・マトリックス43と共通電子装置34とを通して、パー・ピン電子装置に接続される。制御装置52は128ピン装置を検査するようにプログラムされ、したがって、ピン電子装置30はスイッチ・マトリックス45を通して、検査ヘッド47に接続される。

第3図に示されているように、スイッチ・マト

リックス45は2個の基本位置、すなわち、A位置とB位置を有する。スイッチ・マトリックス45がA位置にある時、3個の装置を検査することができる。例えば、共通電子装置34とピン電子装置30を用いて、128ピン装置(検査ヘッド47)を検査することができる。共通電子装置35とピン電子装置31を用いて、また別の128ピン装置(検査ヘッド48)を検査することができる。共通電子装置36および37と、ピン電子装置32および33とを用いて、256ピン装置(検査ヘッド49)を検査することができる。スイッチ・マトリックス45がB位置にある時、すべての共通電子装置34、35、36、および37と、すべてのピン電子装置30、31、32、および33とを用いて、検査ヘッド50により、512ピン装置を検査することができる。おのこの検査プログラムに対して、制御装置52、53、54、または55のうちのただ1つの制御装置が必要である。スイッチ・マトリックス43を用いることにより、任意の構成の検査プログラム

を実行するために、いずれかの制御装置を接続することができる。または、もし複数の検査ヘッドを用いて異なる装置の検査を行なう場合には、おのおののプログラムに対して1つの制御装置が用いられる。

この検査装置は特定の時間フレームの間1つの検査プログラムを実行するのに限定されるのではなく、異なる形式の装置についての複数の検査をおのおのの制御装置が同時に実行することができる。例えば、おのおのの制御装置がそれぞれ異なる128ピン装置を検査することができる、または、制御装置52は1つの256ピン装置を検査し、かつ、制御装置54および55はそれぞれ異なる128ピン装置を検査することができる。

第3図の検査装置は4個の制御装置を有しているが、この検査装置は例えば8個の制御装置を有するように拡張することができる。パー・ピン電子装置群の数は、したがって、ピンの数は、また、1024ピンまでの装置を検査するように拡張することができる。ピンの総数を限定する要因は、

物理的な寸法とケーブルの長さだけである。

本発明による再構成可能リソース・アーキテクチャにより、自動化された検査装置に対する利用度の向上と、処理量の増大とがえられる。第3図の装置は4個の独立な128ピン検査スライスを有し、そしてより大きなピン数が要求されている時、これらを同期して動作させることができる。

同期方法について、考慮すべき点が3つある。各スライス(128ピン電子装置群として定められたスライス)は1個の水晶発振器を有し、この水晶発振器はそれ自身のスライスのための時間基準として用いることができると共に、ユーザが組み合わせたいと思う任意の他のスライスのための時間基準としても用いることができる。各スライスは時間基準またはクロックの電圧振幅分布を与えるファン・イン/ファン・アウト・マトリックスを有し、それにより、スライス間のデスクュー(deskew)がえられる。各スライスはまた一定のサイクル・クリティカル信号についてプログラム可能サイクル遅延を有し、それによりこれらの信

号が、同じクロック・サイクルに基づいて、各スライスに確実に到達する。クロック分布。任意の種類2個または複数の処理装置が並行して動作している時、すべての処理装置は同期からはずれることがないように、正確に同じ周波数で動作しなければならない。例えば、0.001%のエラーがあると、100万サイクルを実行した後では、スライス間のエラーは10サイクルとなる。2つの周波数を確実に同じにする1つの方法は、1個のクロック源を用いることである。

本発明に用いることができる多重化法の1つの実施例が第4図に示されている。この方法は任意の接続するスライス群を同じ発振器で動作することができる、かつ、スライス間のケーブルの数を最小にすることによってコストを最小に抑えることができる。

第4図はスライスが8個の場合のクロック分布法を示している。8個の水晶発振器80~87と、8個の多重化装置72~79があり、これらは各スライスに対し1個ずつ配置される。もしすべて

の多重化装置がIN2を選定するようにプログラムされるならば、各スライスは自分自身の発振器をラン・オフすることができる。もしスライス1、2、および3がIN3を選定するようにプログラムされ、かつ、スライス4がIN2を選定するようにプログラムされ、かつ、スライス5、6、7、および8がIN1を選定するようにプログラムされるならば、8個のすべてのスライスはスライス4をラン・オフすることができる。もしスライス1および2がIN3を選定し、かつ、スライス3がIN2を選定し、かつ、スライス4、5、および6がIN1を選定し、かつ、スライス7がIN2を選定し、かつ、スライス8がIN1を選定するならば、スライス1からスライス6までのスライスはスライス3をラン・オフでき、かつ、スライス7と8はスライス7をラン・オフできる。このように、任意の数のスライスの接続した群は任意の1つの発振器をラン・オフすることができる。この方法は、8個のスライスから任意の数のスライスへ拡張することができる。

クロック・デスキュ。このクロック分布法と、各スライスの中のチップの伝搬遅延に差があることにより、スライスの間にスキュ (skew) が存在するであろう。1つの群のスライス出力が同期して起こるために、これらのスキュは設計で除去されるか、または校正で除去されなければならない。スキュを設計で除去することが困難であることと、コストが高くなることのために、校正で考慮することが好ましい。各スライスはそのクロックについてプログラム可能な遅延を有し、それにより、これらのスキュが補償される。

これらの遅延がどのようなものであるべきかを決定するために、おのおののスライスのクロックを他のスライスのクロックに対して測定することが必要である。おのおののスライスは時間測定装置 (Time Measurement Unit, T M U) を有していて、任意の2つの信号の間の時間を測定することができる。おのおののスライスからの1つのクロックは、高度に集積化されたリレー・マトリックスと同軸ケーブルとにより、すべてのスライスにファ

ン・アウトされる。これらのアレイとケーブルとを正確に等しい電気長をもつように製造するには大きなコストがかかるので、これらは等しい物理長をもつように製造される。この場合、製造時に電気長の差が測定され、そしてこれらの値が装置のハード・ディスクに記憶される。1つのスライスのファン・アウト・クロックに対するおのおののスライスのクロックを測定することにより、異なるスライスのクロックの間のスキュを決定することができる。

第5図はクロックのファン・アウト測定を示した図面である。スイッチ SW_1 、 SW_2 、および SW_3 は、種々の時間測定装置 (T M U) の間で基準プリクロック1を切り替えるのに用いられる。時間測定装置1はクロック1に対するファン・アウト遅延プリクロック1を測定する。時間測定装置2はクロック2デスキュに対するプリクロック1を測定する。時間測定装置3はクロック3スキュに対するプリクロック1を測定する。時間測定装置4はクロック4スキュに対するプリクロッ

ク1を測定する。第6図はクロックの間の相対的スキュを示すタイミング図である。サイクル・クリティカル信号分布。各サイクルにおいておのおのの処理装置が同じ命令を確実に実行するために、処理装置開始信号が同じサイクルに基づいて1つの群の中のおのおのの処理装置に到達しなければならない。条件コードのような他の信号は1つの群の中のおのおののスライスから集められ、そして同じサイクルでその群内のすべての処理装置に供給されなければならない。このことを実行する1つの簡単な方法は、おのおののスライスに対し、等しい長さのケーブルを通して、他のあらゆるスライスにこれらの信号を送ることである。けれどもこの方法には、コストと機械的な面で問題点がある。コストの問題点と機械的な問題点とを解決するために、また別の方法が用いられる。おのおののスライスはそれ自身の両側のスライスから信号を受け取りかつ送る。この場合、プログラム可能な数の遅延のサイクルが、それらが用いられる前に、信号路の中に挿入される。

第7図には8個の同期装置が示されている。これらの8個の同期装置は8個のパターン・シーケンス制御装置 (Pattern Sequence Controller, P S C) と8個のバー・ピン電子装置スライスに接続される。これらの同期装置は、同じサイクルについて8個のすべてのスライスに到達するように整合したフェイル (F A I L) 信号、および P S C 開始 (P S C S T A R T) 信号のようなサイクル・クリティカル信号を保持する。このことは、おのおのの信号の中に、それが送り出される前に、プログラム可能な数の遅延のサイクルを挿入することによって達成される。

第8図は同期装置の入力接続と出力接続を示した図面であり、そしてこの同期装置を通しての遅延は第9図に示されている。

第9図は、カード・ケージ (Card Cage) 1 A (C C 1 A) がスライス1であり、C C 1 B がスライス2であり、などである場合、おのおののスライスの同期装置によって挿入される遅延の板である。

1つの例として、検査されている装置に不良がある場合、スライス（ピン電子装置）のおのおのに伴う8進ピン・サポート・ボード（Octal Pin Support board, OPS）にフェイル（FAIL）信号が発生し、そしてこのフェイル信号がパターン・シーケンス制御装置（PSC）に送られて、処理装置を停止させる。おのおののOPSはそのスライスの同期装置にフェイル信号を送る。おのおのの同期装置は、このフェイル信号に基づいて、2リクルの遅延を必ず挿入する。すなわち、1つのサイクルはそれをクロック・インするサイクルであり、そしてもう1つはそれをクロック・アウトするサイクルである。したがって、CC1AからCC7Bまでフェイル信号が伝搬するためには、16サイクルを要する。17番目のサイクルでPSCに到達するまでに、すべてのフェイル信号は合計で16サイクルの遅延を受けなければならない。

CC1Aの中の同期装置はそのOPSフェイル信号をCC1Bへのものであるとして送る。CC1Aは

また14サイクルの遅延を挿入し、そしてそのフェイル信号をCC1Bから受け取るフェイル信号と組み合わせ、そしてこの組み合わせられたフェイル信号をPSC1Aに送る。

CC1BはそのOPSから受け取ったフェイル信号を取り上げ、そしてそれに2サイクルの遅延を行ない、そしてそれとCC1Aからのフェイル信号とを組み合わせ、そしてそれをCC3Aに送る。CC1BはそのOPSフェイル信号を12サイクル遅延させ、そしてそれをCC3Aからのフェイル信号と組み合わせ、そしてそれをCC1Aに送る。CC1BはまたOPSからのフェイル信号を14サイクルだけ遅延し、かつ、CC1Aからのフェイル信号を12サイクルだけ遅延し、かつ、CC3Aからのフェイル信号を2サイクルだけ遅延し、そしてこれらの3つのフェイル信号を組み合わせ、そしてこれをPSC1Bに送る。8個の同期装置はすべて同じように動作し、そしてすべてのPSCは17番目のサイクルでフェイル信号を見出す。これと同じ方法が、

PSCにパターン設定の実行を開始させるPSC開始信号のような、他のサイクル・クリティカル信号に用いられる。

以上の説明に関して更に以下の項を開示する。

(1) プログラム制御装置と、

第1スイッチング・マトリックスと、

前記第1スイッチング・マトリックスによって前記プログラム制御装置に接続されたピン群電子回路と、

前記ピン群電子回路に接続されたピン電子回路と、

第2スイッチング・マトリックスと、

前記第2スイッチング・マトリックスによって前記ピン電子回路に接続することが可能な少なくとも1つの検査ヘッドと、
を有する検査モジュールを少なくとも2個有する、集積回路を検査するための再構成可能論理検査装置。

(2) 第1項において、前記ピン群電子回路と、前記ピン電子回路の動作を他の検査モジュールと

同期させるために前記ピン群電子回路の中に同期回路を有する、前記再構成可能論理検査装置。

(3) 第1項において、2個または複数個の前記ピン電子回路が組み合わせられて単一ピン電子回路よりは大きなピン数を有する集積回路を検査することができる、前記再構成可能論理検査装置。

(4) 第1項において、前記ピン電子回路のおのおのが自分自身のピンと他のピン電子回路のピンとに対して用いることができる時間基準回路を有する、前記再構成可能論理検査装置。

(5) 第4項において、複数個のピン電子回路が同じ時間基準回路で動作する時に用いられる多重化回路を有する、前記再構成可能論理検査装置。

(6) 第1項において、前記ピン群電子回路が中央タイミング発生器と、パターン・シーケンス制御装置と、検査される装置のためのアナログ検査サポート機能装置とを有する、前記再構成可能論理検査装置。

(7) 第1項において、前記検査装置を再構成するための構成管理装置と、選定された構成に対し

その中におののの検査モジュールを有する、前記再構成可能論理検査装置。

(8) 複数の検査モジュールと、

共通バスに沿って複数の前記検査モジュールに接続された構成管理装置とを有し、

前記構成管理装置が異なるピン数を有する1個または複数の集積回路を同時に検査するために検査装置を構成することができる、再構成可能論理検査装置。

(9) 第8項において、前記検査モジュールがプログラム制御装置と、

第1スイッチング・マトリックスと、

前記第1スイッチング・マトリックスによって前記プログラム制御装置に接続されたピン群電子回路と、

前記ピン群電子回路に接続されたピン電子回路と、

第2スイッチング・マトリックスと、

前記第2スイッチング・マトリックスによって前記ピン群電子回路に接続可能な少なくとも1つ

のさい他の検査モジュールを用いなくて目的を達成することができる、前記再構成可能論理検査装置。

(14) 制御装置と、128ピンを検査するための電子装置リソースとをおのののが有する複数の検査モジュールを有し、かつ、

要求された数のピンを検査するための検査リソースをうるために2個またはさらに多数の検査モジュールを組み合わせる段階と、

前記検査モジュールを同期する段階と、

前記モジュールのうちの1つのモジュールからの1つの制御装置で前記組み合わせられたモジュールをプログラムする段階と、

を有する、128ピンから少なくとも1024ピンまでのピン数を有する集積回路を検査するために論理検査装置を再構成する方法。

(15) 第14項において、より小さなピン数を有する複数の集積回路を検査するために検査モジュールを分離する段階と、およびまたは前記小さなピン数よりは大きなピン数の集積回路を検査

の検査ヘッドと、

を有する、前記再構成可能論理検査装置。

(10) 第9項において、前記ピン群電子回路の動作と前記ピン電子回路の動作とを他の検査モジュールと同期させるための同期回路を前記ピン群電子回路の中に有する、前記再構成可能論理検査装置。

(11) 第9項において、2個またはさらに多数のピン電子回路が組み合わされて1個のピン電子回路が検査しうるよりは大きなピン数を有する集積回路を検査しうる、前記再構成可能論理検査装置。

(12) 第9項において、前記ピン群電子回路が中央タイミング発生装置と、パターン・シーケンス制御装置と、検査される装置のためのアナログ検査サポート機能装置とを有する、前記再構成可能論理検査装置。

(13) 第9項において、異なる形式の装置の検査を同時に実行するためにいくつかの検査モジュールを組み合わせて構成することができ、かつ、そ

うするために検査モジュールを組み合わせる段階とを有する、前記方法。

(16) 第14項において、前記組み合わせられた検査モジュールを同期する段階を有する、前記方法。

(17) 第16項において、前記検査モジュールを同期するのに時間基準が用いられることと、前記組み合わせられた検査モジュールのうちの1つの検査モジュールからの時間基準を用いる段階を有することと、各検査モジュールが前記時間基準を同時に受け取るように可変遅延をうることを有する、前記方法。

(18) 第14項において、単一検査モジュールをもって可能であるよりはさらに多くの電子装置リソース・サポートを必要とする集積回路を検査するために前記組み合わせられた電子装置リソースを多重化する段階を有する、前記方法。

(19) 前記再構成可能リソース・アーキテクチャにより検査装置リソースの組み合わせに依存した割り当てが可能となり、検査装置の利用度が増大する。異なるピン数を有する複数の装置を同時

に検査するように、前記検査装置リソースを構成することができる。この構成は、ピン数に基づく種々の組み合わせ装置に対応するように、変更することができる。

4. 図面の簡単な説明

第1図は本発明の単純化されたブロック線図、第2図は本発明の再構成可能なリソースを示したブロック線図、第3図は4個の再構成可能検査装置群を示した本発明の詳細ブロック線図、第4図は再構成可能なリソースのためのクロック分布図、第5図はクロック・スキューを測定するためのブロック線図、第6図はクロック・スキューのタイミング図、第7図は検査装置リソースの同期を示した図面、第8図は第7図の同期ブロックの入力と出力を示した図面、第9図は第7図のプログラムされた遅延の表の図面。

【符号の説明】

52, 53, 54, 55: プログラム制御装置
43: 第1スイッチング・マトリックス

34, 35, 36, 37: ピン群電子回路
30, 31, 32, 33: ピン電子回路
45: 第2スイッチング・マトリックス
47, 48, 49, 50: 検査ヘッド
38, 39, 40, 41: 同期回路
11, 72, 73, 74, 75, 76, 77, 78, 79: 多重化回路
42: 構成管理装置

代理人 渡 村 昭

図面の淨書(内容に変更なし)

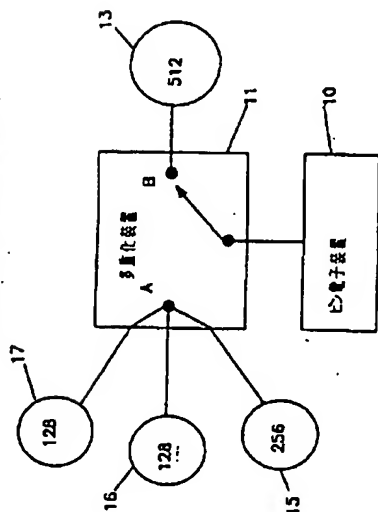


Fig.1

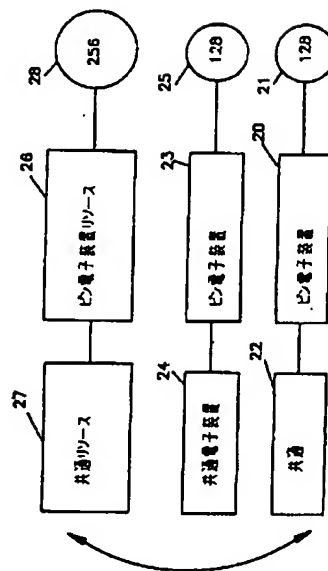


Fig.2

プログラム遅延				
プログラム	AN TO PSC	BN TO PSC	OPS TO ADUT	OPS TO BOUT
1A	X	0	0	X
1B	12	2	2	12
3A	10	4	4	10
3B	8	6	6	8
5A	6	8	8	6
5B	4	10	10	4
7A	2	12	12	2
7B	0	X	X	0

Fig.9

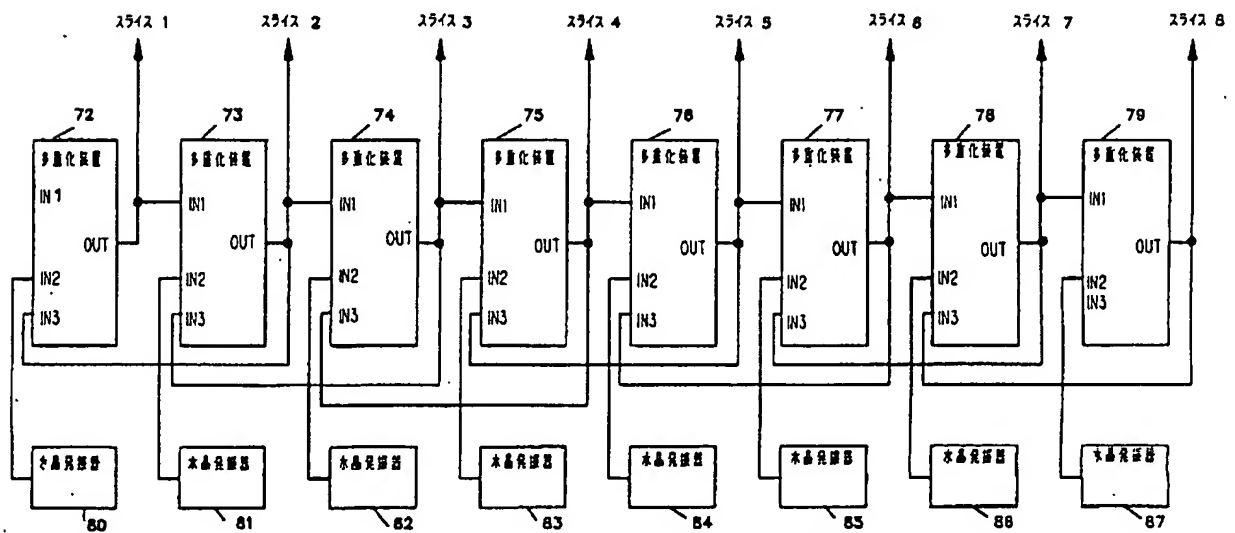
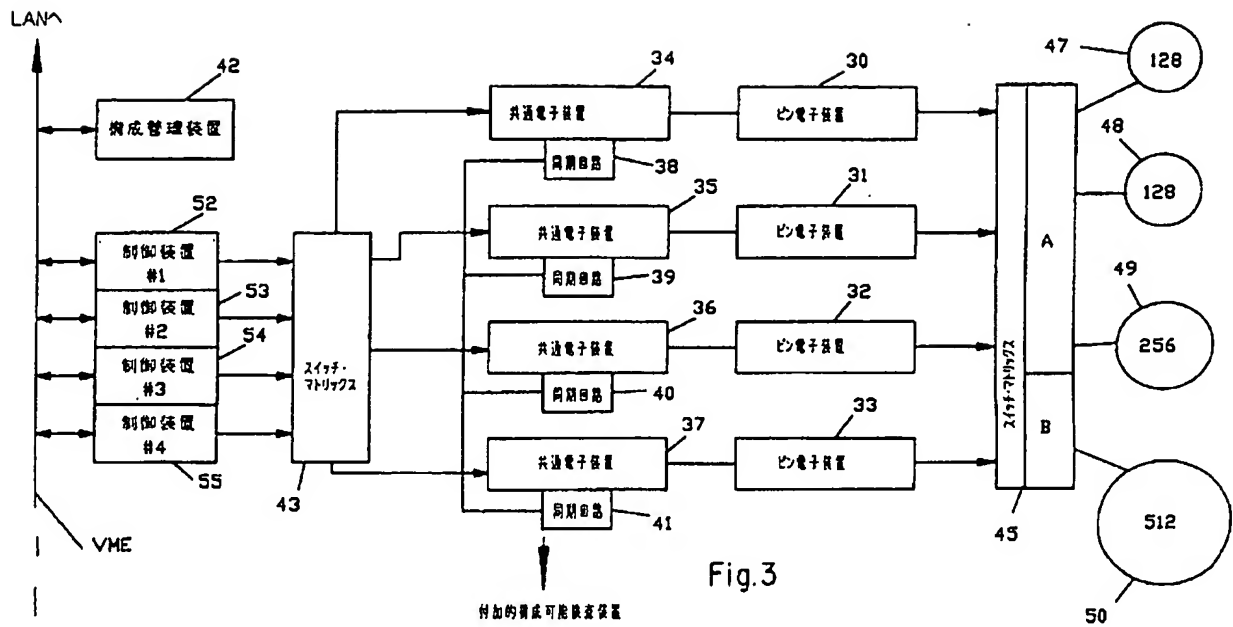


Fig.4

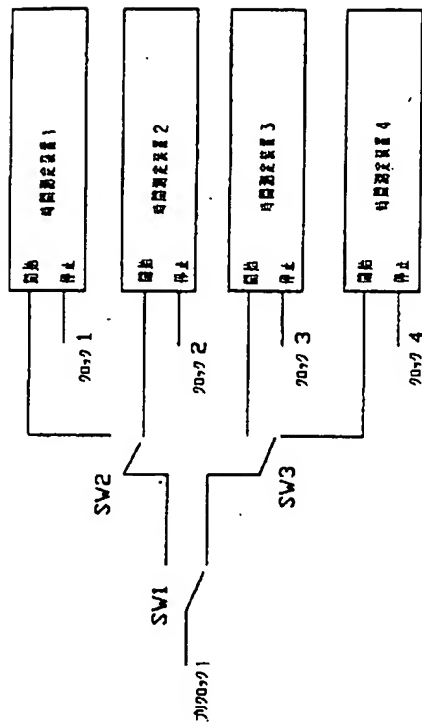


Fig.5

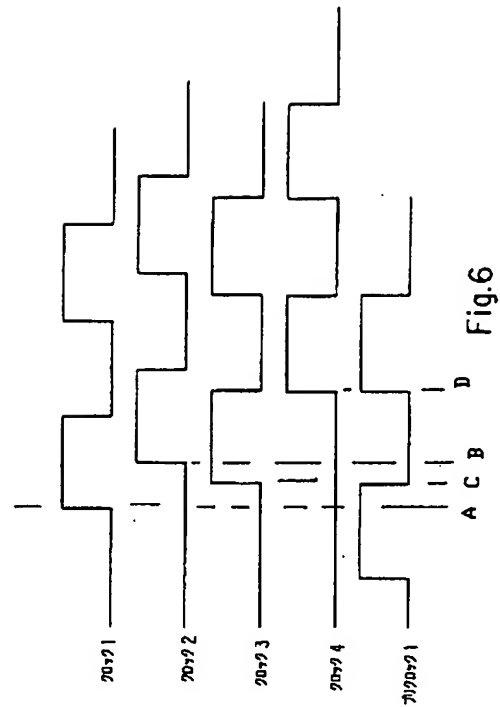


Fig.6

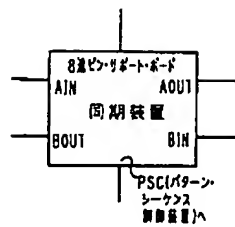


Fig.8

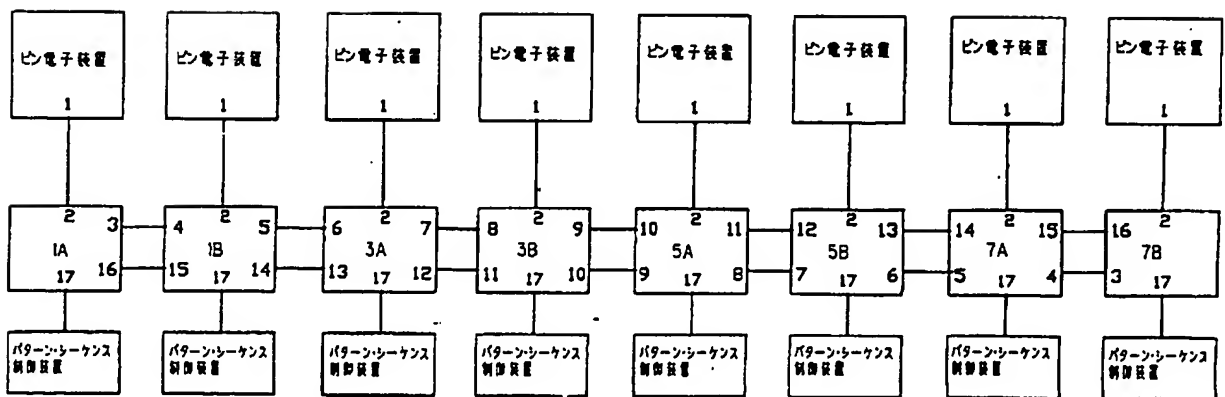


Fig.7

第1頁の続き

⑫発明者	シエイラ オキイーフ エ	アメリカ合衆国	テキサス州	ガーランド, タートル ウブ 5242
⑬発明者	ニール エフ. オカー ブロム	アメリカ合衆国	テキサス州	ダラス, ホーンビーム 12729
⑭発明者	ダブリュ. ラス キー ナン	アメリカ合衆国	テキサス州	ダラス, パンサー リッジ 10208

手続補正書(方式)

平成 2 年 10 月 22 日

特許庁長官殿

1. 事件の表示

平成 02 年 特許第 183043 号

2. 発明の名称

再構成可能論理検査装置

3. 補正をする者

事件との関係 特許出願人
氏名(名称)

テキサス・インスツルメンツ・インコーポレイテッド

4. 代理人

居 所 〒100 東京都千代田区大学町二丁目2番1号

新大塚ビルディング 331

電 話 (211) 3651 (代 表)

氏 名 (6669) 井関士 徳 木 守 田

5. 補正命令の日付 平成 2 年 9 月 25 日

6. 補正により増加する請求項の数

7. 補正の対象

図面

8. 補正の内容 別紙のとおり

願書に最初に添付した図面の浄書(内容に変更なし)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.